

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-121793

(43)Date of publication of application : 18.05.1993

(51)Int.Cl.

H01L 43/08  
H01L 43/12

(21)Application number : 03-303796

(71)Applicant : NEC CORP

(22)Date of filing : 24.10.1991

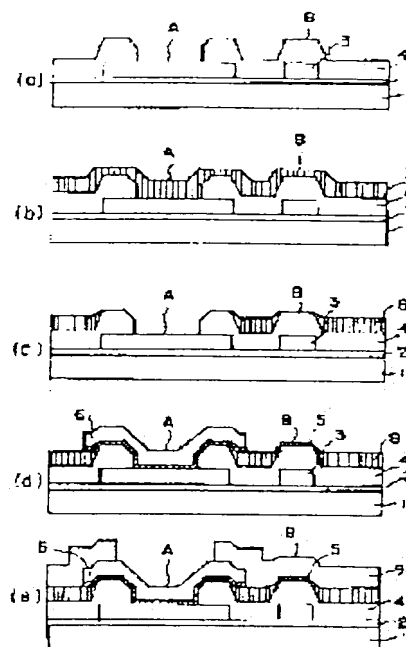
(72)Inventor : YOSHIDA HISAO

## (54) MANUFACTURE OF MAGNETORESISTIVE DEVICE

## (57)Abstract:

**PURPOSE:** To make a magnetoresistive device free from discontinuity and high in reliability to be formed on an IC section by a method wherein the sharply stepped surface of an IC is flattened.

**CONSTITUTION:** A sharp step located at an electrode A on an IC is flattened by a series of processes composed of a polyimide resin 8 applying operation, a dry-etching operation, a resist applying operation, and a patterning operation. By this setup, the sharp step located at the electrode A on an IC is flattened by the application of polyimide resin 8 and dry-etching, so that a magnetoresistive device high in reliability and free from disconnection can be formed on the IC even if a magnetoresistive device B is half as thick as a protective cover film formed on the IC.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-121793

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 43/08  
43/12

識別記号

Z

特許整理番号

7342-4M  
7342-4M

F 1

技術表示箇所

審査請求 未請求 請求項の数2(全 3 頁)

(21)出願番号 特願平3-303796

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成3年(1991)10月24日

(72)発明者 吉田 久雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 山下 稔平

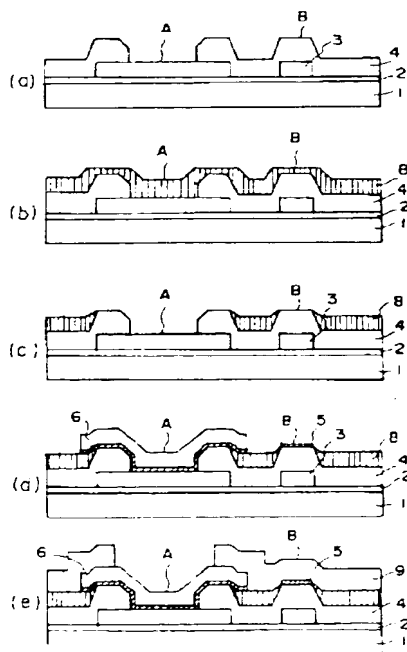
(54)【発明の名称】 磁気抵抗素子の製造方法

(57)【要約】

【目的】 ICの急峻な段差を平坦化することによって断線のない信頼性の高い磁気抵抗素子をIC部に形成する。

【構成】 IC部上の電極部の急峻な段差を平坦化するためにポリイミド樹脂の塗布とドライエッチング及びレジスト塗布並びにパターニングによって構成する。

【効果】 IC部上の電極部の急峻な段差をポリイミド樹脂の塗布・ドライエッチングによって平坦化した為、IC部上の保護カバー膜厚の1/2の磁気抵抗素子部の膜厚でも断線のない信頼性の高い磁気抵抗素子をIC部に形成できる。



【特許請求の範囲】

【請求項1】 IC部に磁気抵抗部を形成する磁気抵抗素子の製造方法において、IC部上の急峻な段差をポリイミド樹脂塗布及びドライエッチングによって平坦化する工程を含むことを特徴とする磁気抵抗素子の製造方法。

【請求項2】 上記平坦化工程の他に、IC部上の磁気抵抗部のうち、必要な電極部以外の部分をポリイミド樹脂で保護する工程を含むことを特徴とする請求項1記載の磁気抵抗素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は磁気抵抗(MR: Magnetic resistive)素子の製造方法に関し、特にIC部上に磁気抵抗部を形成する抵抗パターンの形成方法に関する。

【0002】

【従来の技術】従来の磁気抵抗素子の製造方法は図2に示す様に、シリコン基板1上に下地酸化シリコン2、アルミニウム3、窒化シリコン4を形成したIC部上に、直接パーマロイ5、金6を連続して蒸着した後、マスクを用いて任意のパターンを形成する。しかる後、保護カバーとして保護酸化シリコン7をスパッタ工事後マスクを用いて必要なパターンを形成して電極部Aとセンサー部Bを形成している。

【0003】

【発明が解決しようとする課題】従来の磁気抵抗素子の製造方法では、IC部を形成している上に磁気抵抗素子を形成しようとする場合には、特にIC部上には保護膜として窒化シリコンが厚く形成されている為(1~1.5 $\mu$ m)、電極部が急峻となっている。

【0004】従って、この上にパーマロイ、金を蒸着することによって磁気抵抗部を形成しようとする場合には段差の急峻な部分のカバレッジの悪さを見込んで、窒化シリコン膜厚より30~50%厚めに金を蒸着しないと断線しやすくなる問題点があった。

【0005】本発明の目的はIC部の電極部の急峻な段差を平坦化することにより断線のない信頼性の高い磁気抵抗素子をIC部上に形成することにある。

【0006】

【課題を解決するための手段】本発明はIC部上に磁気抵抗部を形成する磁気抵抗素子の製造方法において、IC部上の急峻な段差をポリイミド樹脂塗布及びドライエッチングによって平坦化する工程を含むことを特徴とする磁気抵抗素子の製造方法である。

【0007】更に本発明では、必要に応じて上記平坦化工程の他に、IC部上の磁気抵抗部のうち必要な電極部以外の部分をポリイミド樹脂で保護する工程を含む。

【0008】

【実施例】次に本発明の実施例について図面を参照して

説明する。

【0009】図1(a)~(e)は本発明の実施例を説明するための工程順に示すMR素子の断面図である。

【0010】まず図1(a)はシリコン基板1、下地酸化シリコン2、アルミニウム3、窒化シリコン4からなるIC部である。

【0011】次に図1(b)に示す様にIC部上にポリイミド樹脂(平坦化用)8を2~3 $\mu$ m塗布後恒温槽に入れて充分硬化させる。

10 【0012】次に図1(c)に示す様にガラスマシオンを行なって不要なポリイミド樹脂(平坦化用)8を除去し、さらにマスクを用いてレジスト塗布・パターニング後電極部Aのポリイミド樹脂(平坦化用)8をウェットエッチング及びガラスマシオンによって充分に除去した後、レジストを剥離する。

【0013】次に図1(d)に示す様にパーマロイ5及び金6を任意の厚さで連続して蒸着後、マスクを用いてレジスト塗布・パターニング後不要なパーマロイ5及び金6を除去した後、レジストを剥離する。

20 【0014】次に図1(e)に示す様にポリイミド樹脂(保護用)9を全面に任意の厚さ(2~3 $\mu$ m)に塗布後マスクを用いてレジスト塗布・パターニング後電極部Aのポリイミド樹脂(保護用)9を除去後レジストを剥離し、しかる後ポリイミド樹脂(保護用)9を含む磁気抵抗素子を恒温槽に入れ、ポリイミド樹脂(保護用)9を充分に硬化させる。

【0015】以上説明した様に、本発明の磁気抵抗素子の製造方法は段差の大きい膜が形成されていても、ポリイミド樹脂(平坦化用)を塗布することによって凹凸を平坦化することにより、断線対策として金の厚さを特に厚くすることのない信頼性の高い磁気抵抗素子を得ようとするのもである。

【0016】

【発明の効果】以上説明した様に本発明は急峻な段差を有するIC部上に磁気抵抗素子を形成する際、あらかじめIC部上にポリイミド樹脂を塗布・焼きしめ後、ガラスマシオンを行なうことによってIC部上を平坦化して断線のない信頼性の高い磁気抵抗素子を製造できる効果がある。

40 【図面の簡単な説明】

【図1】本発明方法の一実施例を説明するための工程順に示す時期抵抗素子の断面図

【図2】従来の磁気抵抗素子の製造方法を説明するための工程順に示す磁気抵抗素子の断面図

【符号の説明】

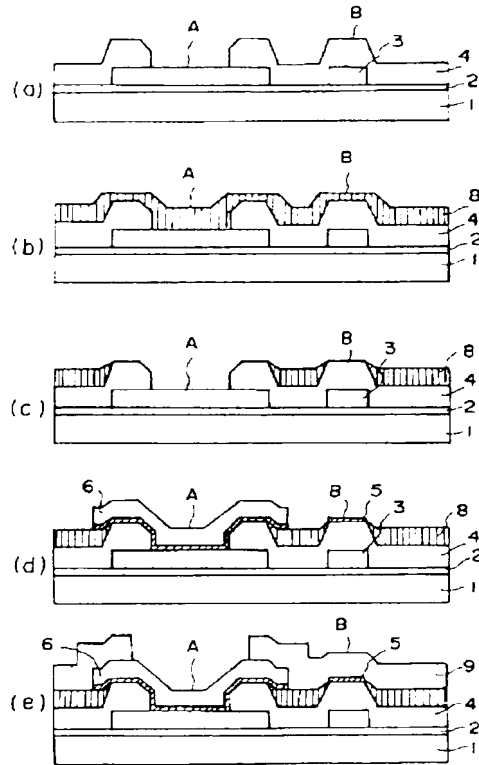
- 1 シリコン基板
- 2 下地酸化シリコン
- 3 アルミニウム
- 4 窒化シリコン
- 5 パーマロイ

(3)

特開平5-121793

- 6 金  
7 保護酸化シリコン  
8 ポリイミド樹脂（平坦化用）

【図1】



- \* 9 ポリイミド樹脂（保護用）  
A 電極部  
\* B 遮気抵抗部

【図2】

